

PAT-NO: JP362189707A

DOCUMENT-IDENTIFIER: **JP 62189707 A**

TITLE: **LAMINATED INDUCTOR**

PUBN-DATE: August 19, 1987

INVENTOR-INFORMATION:

NAME

HASHIMOTO, KOJI

TANABE, KENZO

KANE, JOJI

BESSHO, YOSHIHIRO

KIMURA, TOMOHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP61031463

APPL-DATE: February 14, 1986

INT-CL (IPC): H01F017/00, H05K001/16

US-CL-CURRENT: **336/200**, **336/223**

## ABSTRACT:

**PURPOSE:** To obtain a relatively large inductance in a small area by forming a conductor in a spiral shape perpendicular to the surface of a laminated substrate.

**CONSTITUTION:** A vertical conductor portion of a spiral conductor 2 is formed by techniques of through hole and viahole. That is, horizontal conductors formed on the respective layers are connected in a spiral shape by techniques of through hole and viahole, and a **laminated inductor** formed in a spiral shape is formed perpendicular to the surface of a laminated substrate. This construction can be readily formed by a copper-bonded laminated substrate a thick film laminated substrate or thin film substrate, etc. Thus, the **laminated**

**inductor** which can obtain a relatively large inductance in a small area can be readily formed.

COPYRIGHT: (C)1987,JPO&Japio

## ⑫ 公開特許公報(A)

昭62-189707

⑬ Int.Cl.<sup>4</sup>  
H 01 F 17/00  
// H 05 K 1/16

識別記号 庁内整理番号  
D-2109-5E  
B-6736-5F

⑭ 公開 昭和62年(1987)8月19日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 積層インダクタ

⑯ 特 願 昭61-31463

⑰ 出 願 昭61(1986)2月14日

⑱ 発 明 者	橋 本	興 二	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	田 辺	謙 造	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	加 根	丈 二	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	別 所	芳 宏	門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	木 村	知 弘	門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社			門真市大字門真1006番地
⑳ 代 理 人	弁理士 中尾 敏男			外1名

## 明 細 書

## 1. 発明の名称

積層インダクタ

## 2. 特許請求の範囲

- (1) 積層基板の表面に対して垂直方向に導体を、うず巻形状に形成することを特徴とする積層インダクタ。
- (2) 積層基板として銅張積層基板を用いた特許請求の範囲第(1)項記載の積層インダクタ。
- (3) 積層基板として厚膜積層基板を用いた特許請求の範囲第(1)項記載の積層インダクタ。
- (4) 積層基板として薄膜積層基板を用いた特許請求の範囲第(1)項記載の積層インダクタ。
- (5) 積層基板表面に対して垂直方向にうず巻形状を形成した導体複数個を、積層基板表面に対して水平方向に並らべ、さらに前記導体複数個の捲回方向が同じになるように接続したことを特徴とする特許請求の範囲第(1)記載の積層インダクタ。

## 3. 発明の詳細な説明

産業上の利用分野

本発明は、受信機、送信機および通信機器全般に使用することができる積層インダクタに関するものである。

## 従来の技術

近年、電気機器の軽薄短小化が急激に進歩し、各種部品はチップ化され、さらに積層基板内に組込まれるようになってきている。

以下図面を参照しながら、上述した従来のインダクタの一例について説明する。

第3図は従来のインダクタの構成図を示すものである。

第3図において、100は絶縁体である。101は絶縁体100の表面に形成されたうず巻形状の導体である。

以上のように、一般的に積層基板においてうず巻形状のインダクタを形成する場合は、積層基板表面に対して水平方向にうず巻形状を形成している。

## 発明が解決しようとする問題点

しかしながら上記のような構成では、積層基板

の表面に水平方向にうず巻形状を形成するので、面積が大きくなり、大インダクタンスの実現が困難である。また、高密度実装に不向きであった。

本発明は上記問題点に鑑み、小さな面積で比較的大きなインダクタンスをも実現することのできる積層インダクタを提供するものである。

#### 問題点を解決するための手段

上記問題点を開発するために本発明の積層インダクタは、積層基板の表面に対して垂直方向に導体を、うず巻形状に形成するという構成を備えたものである。

#### 作用

本発明は上記した構成によって、積層基板の表面に対して垂直方向にうず巻形状を形成するので、面積が小さく、しかも比較的大インダクタンスも実現することができるので、高密度実装に非常に適している。

#### 実施例

以下本発明の一実施例の積層インダクタについて、図面を参照しながら説明する。

B'線における断面図、(d)はC-C'線における断面図を示す。第2図(a)~(d)において、3は絶縁体、4~8は導体、9~12は導体4~6の端子である。積層基板表面に対して垂直方向にうず巻形状を形成した導体4~6の端子9と10を導体7で、端子11と12を導体8で接続して、導体4~6をその捲回方向が同じになるように縦続接続する。導体4~6は上記第1の実施例に示したような構成である。以上のような構成は、第1の実施例と同様に銅張積層基板、厚膜積層基板および薄膜積層基板等で容易に実現することができる。

以上のように本実施例によれば、複数個のうず巻形状の導体をその捲回方向が同じになるように縦続接続することにより、小さい面積で大きいインダクタンスを実現できる、積層インダクタを容易に実現することができる。

#### 発明の効果

以上のように本発明は、積層基板の表面に対して垂直方向に導体をうず巻形状に形成することによって、小さい面積で、比較的大きなインダクタ

第1図は本発明の第1の実施例における積層インダクタの断面図を示すものである。第1図において、1は絶縁体、2はうず巻形状の導体である。うず巻形状の導体2における垂直な導体部分は、スルーホールおよびビアホール等の技術を用いて形成されている。すなわち、各層に設けられる水平な導体間を、スルーホールおよびビアホール等の技術でうず巻形状に接続して、積層基板の表面面に垂直方向にうず巻形状を形成する積層インダクタを構成する。以上の様な構成は、銅張積層基板、厚膜積層基板および薄膜基板等で容易に実現することができる。

以上のように本実施例によれば、小さな面積で、比較的大きなインダクタンスをも実現することのできる積層インダクタを容易に実現することができる。

以下本発明の第2の実施例について図面を参照しながら説明する。

第2図は本発明の第2の実施例における(a)は側面図、(b)はA-A'線における断面図、(c)はB-

ンスをも容易に実現することができる。

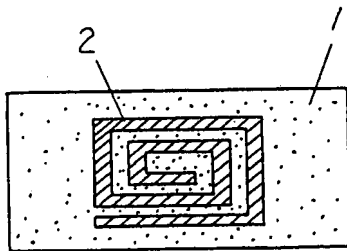
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例における積層インダクタの断面図、第2図(a)本発明の第2の実施例における積層インダクタの側面図、第2図(b)はA-A'線における断面図、第2図(c)はB-B'線における断面図、第2図(d)はC-C'線における断面図、第3図は従来のうず巻形状のインダクタの構成図である。

1, 3, 100...絶縁体、2, 4, 6, 7, 8, 101...導体、9, 10, 11, 12...端子。

代理人の氏名 弁理士 中尾敏男 ほか1名

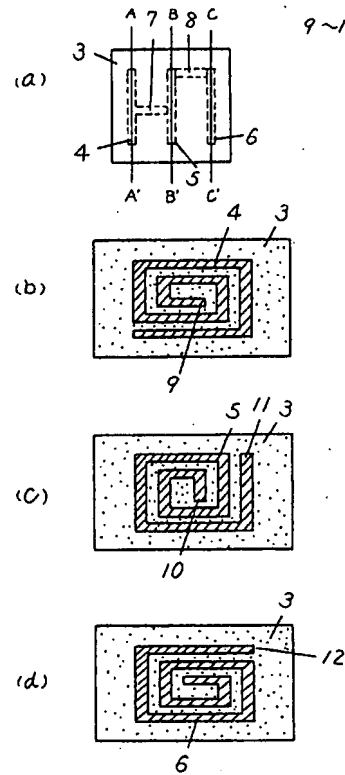
第 1 図



1---絶縁体  
2---導体

第 2 図

3---絶縁体  
4~8---導体  
9~12---端子



第 3 図

